

Варіант №1

1. Привести схеми реалізації основних логічних операцій на діодних і транзисторних ключах (20).
2. Синтезувати схему цифрового компаратора для порівняння двох чотирьох розрядних кодів (30).

Варіант №2

1. Привести схеми підключення невикористаних входів для логічних елементів різних типів логік (15).
2. Привести схему для арифметичного додавання двох двохранрядних чисел на основі суматорів (20) та на логічних елементах (15).

Варіант №3

1. Схеми застосування інтегральних таймерів (таймер 555) в якості автогенераторів (25).
2. Виконати мінімізацію функції $F = \overline{A}DC + A\overline{B}\overline{C}D + ABC\overline{D} + ABCD$ та привести схему її реалізації на елементах 4-І-НІ (25).

Варіант №4

1. Реалізація функції алгебри логіки (ФАЛ) на логічних елементах та основи мінімізації логічних пристроїв (20).
2. Розробити схему додаючого двійкового лічильника з $M_p=11$, використовуючи D- та JK-тригери (30).

Варіант №5

1. Схемотехніка паралельних та зсуваючих регістрів на основі D-тригерів. Пояснити роботу схем (15).
2. Привести схему формування імпульсів тривалістю 10 мкс, застосовуючи логічні елементи 2-І-НІ, і пояснити її роботу (35).

Варіант №6

1. Реалізувати логічну функцію $F = ABC\overline{D} + \overline{A}BCD + \overline{A}B + ABC\overline{D}$ на основі мультиплексора (20).
2. Схемна реалізація операцій арифметичного віднімання (30).

Варіант №7

1. Однофазна та багатфазна системи синхронізації цифрових схем і їх задачі. Можлива схема генератора синхросигналів (20).
2. Арифметико-логічні пристрої та їх призначення. Привести схему виконання основних логічних операцій (30).

Варіант №8

1. Схеми гальванічного розділу та їх застосування в цифрових пристроях (20).
2. Схемотехніка довільних тригерних структур на універсальних JK-тригерах (30).

Варіант №9

1. Призначення та класифікація тригерних пристроїв (20).
2. Схемотехніка автогенераторів на логічних елементах і діаграми їх роботи (30)

Варіант №10

1. Схемотехніка RS- і D-тригерів і їх робота (20).
2. Привести схему демультимплексора на 2 виходи, використовуючи необхідні логічні елементи (30).

Варіант №11

1. Завадостійкість цифрових (10).
2. Привести схему мультівібратора на елементах ТТЛ та описати її роботу. Забезпечити на виході частоту сигналу близько 2 кГц (40).

Варіант №12

1. Привести схему чекаючого мультівібратора (формувача імпульсів) на елементах ТТЛ та описати її роботу. Забезпечити на виході тривалість імпульсу біля 0,01 сек. (40).
2. Арифметико-логічні пристрої та їх призначення (10).

Варіант №13

1. Схеми застосування інтегральних таймерів (таймер 555) в якості формувачів імпульсів (30).
2. Виконати мінімізацію функції $F = \bar{A}DC + A\bar{B}\bar{C}D + ABC\bar{D} + ABCD$ та привести схему її реалізації (20).

Варіант №14

1. Привести схему для арифметичного додавання двох однорозрядних чисел на логічних елементах (30).
2. Привести схеми підключення невикористаних входів для логічних елементів (20).

Варіант №15

1. Привести схеми реалізації основних логічних операцій на діодних і транзисторних ключах (30).
2. Порогові пристрої на логічних елементах і їх застосування (20).

Варіант №16

1. Схемотехніка паралельних регістрів на основі D-тригерів. Пояснити роботу схем (20).
3. Розробити схему віднімаючого двійкового лічильника з $M_p=13$, використовуючи D-тригери (30).

Варіант №17

1. Привести схему формування імпульсів тривалістю 20 мкс, застосовуючи логічні елементи 2-І-НІ, і пояснити її роботу (35).
3. Привести схему перетворювача логічних рівнів і пояснити її роботу (15).

Варіант №18

1. Арифметико-логічні пристрої та їх призначення (10).
2. Реалізувати логічну функцію $F=AB\bar{D} + \bar{A}BCD + \bar{A}B + ABC\bar{D}$ на основі мультиплектора (40).

Варіант №19

1. Схемна реалізація операцій арифметичного віднімання (30).
2. Можлива схема генератора синхросигналів на логічних елементах (20).

Варіант №20

1. Схеми гальванічного розділу та їх застосування в цифрових пристроях (30).
2. Завадостійкість цифрових схем та рекомендації щодо їх монтажу (20).

Варіант №21

- 1 Синтезувати схему цифрового компаратора для порівняння двохрозрядних кодів (30).
3. Реалізувати функцію «виключаюче або» на елементах 2-І-НІ (20).

Варіант №22

1. Привести схему мультівібратора на елементах ТТЛ та описати її роботу. Забезпечити на виході частоту сигналу близько 6 кГц (40).
2. Способи подачі логічних сигналів на невикористані входи логічних елементів І-НІ (10).

Варіант №23

1. Привести схему чекаючого мультивібратора (формувача імпульсів) на елементах МОН та описати її роботу (30).
2. Мінімізувати логічну функцію $F=ABC+DBA+\overline{ABC}+A\overline{B}C$ (20).

Варіант №24

1. Призначення тригера Шмітта (10).
2. Привести схему мультивібратора на елементах ТТЛ та описати її роботу. Забезпечити на виході тривалість імпульсу біля 0,01 с. (40).

Варіант №25

1. Реалізувати логічну функцію $F=AB\overline{D}+\overline{A}BCD+\overline{A}B+ABC\overline{D}$ на основі елементів 3-І-НІ (40).
2. Призначення демультимплектора і його робота (10).

Варіант №26

1. Привести схему формування імпульсів тривалістю 20 мкс, застосовуючи логічні елементи 2-І-НІ, і пояснити її роботу (35).
2. Виконати мінімізацію функції $F=\overline{A}DC+A\overline{B}\overline{C}D+ABC\overline{D}+ABCD$ (15).